

明德扬科技教育有限公司

第一个 testbench 练习说明

官 网: www.mdy-edu.com

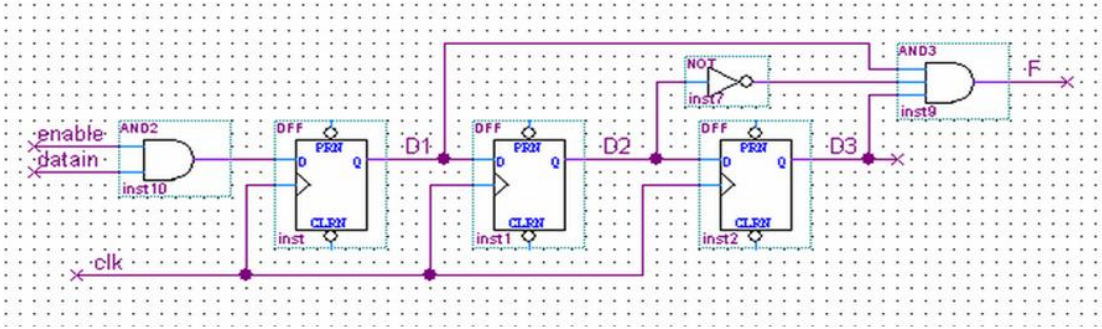
淘 宝: mdy-edu.taobao.com

QQ 群: 97925396

QQ 咨询: 158063679

一、练习要求说明

下图是 verilog 快速掌握练习 4 的 RTL 电路图，该练习要求按下图写出 verilog 代码。



观察该电路图，可以很容易发现功能是 `datain` 的“101”序列检查。即如果 `datain` 先后为“101”，则 `F` 输出高电平，否则 `F` 为低电平。

此练习要求对上述模块编写测试文件，对上述模块进行仿真。要求输入的波形如下（其中 `rst` 时间不做要求）。

